

Colle n° 2 : Électronique

Exercice 1 - Codeur binaire : On définit un codeur comme un circuit de compression des données, car c'est un circuit qui réduit le nombre d'entrées et permet de transporter une information sur moins de fils.

Une seule entrée étant active à la fois, on obtient en sortie le numéro binaire de l'entrée active. On a 2^n entrées pour n sorties.

Prenons un codeur à quatre entrées et à deux sorties. On veut, conformément au cahier des charges, la table suivante :

e_3	e_2	e_1	e_0	s_1	s_0
1	0	0	0	1	1
0	1	0	0	1	0
0	0	1	0	0	1
0	0	0	1	0	0

1. Justifier que les sorties sont données par

$$s_1 = e_3 \cdot \bar{e}_2 \cdot \bar{e}_1 \cdot \bar{e}_0 + \bar{e}_3 \cdot e_2 \cdot \bar{e}_1 \cdot \bar{e}_0 ;$$

$$s_0 = e_3 \cdot \bar{e}_2 \cdot \bar{e}_1 \cdot \bar{e}_0 + \bar{e}_3 \cdot \bar{e}_2 \cdot e_1 \cdot \bar{e}_0 .$$

2. Si toutes les entrées sont nulles, quel est le résultat de ce circuit ? En quoi est-ce un problème ?

3. Si $e_1 = e_2 = 1$, quel est le résultat de ce circuit ? En quoi est-ce un problème ?

Pour résoudre le premier problème, on rajoute une sortie Y qui vaut 1 si toutes les entrées sont nulles. Cette sortie permet de savoir lorsque le codeur doit être considéré comme inactif.

Pour le second problème, on hiérarchise les voies. Ainsi, si la voie 3 est active, la sortie doit être (11), quel que soit l'état des autres voies. De même pour les voies suivantes.

4. Justifier alors que $s_1 = e_3 + e_2$ et $s_0 = e_3 + e_1 \cdot \bar{e}_2$.

Exercice 2 - Additionneur binaire : Considérons deux bits a_0 et b_0 que l'on souhaite additionner. La sortie est sur deux bits s_0 (représentant l'unité) et r_1 .

1. Réaliser la table de vérité de de cet additionneur.

2. Proposer un circuit logique pour réaliser cette opération.

Pour réaliser une addition d'un grand nombre de chiffres, il est nécessaire de réaliser une addition à trois chiffres. En effet, il faut ajouter a_1 , b_1 et r_1 pour obtenir en sortie s_1 et r_2 .

3. Réaliser la table de vérité correspondante.

4. Montrer que $s_1 = r_1 \oplus a_1 \oplus b_1$ et $r_2 = a_1 \cdot b_1 + r_1 \cdot (a_1 \oplus b_1)$.

5. Proposer le circuit logique correspondant.

L'inconvénient du circuit précédent est que les opérations se font en série. Le temps de calcul est donc limité par le transfert de l'information.

Exercice 3 - Système à mémoire D : On étudie un système séquentiel à une entrée D dont la sortie est notée Q . Il s'agit d'une mémoire RS telle que $S = \bar{R}$ à laquelle on ajoute une entrée H correspondant à un signal d'horloge. Le fonctionnement est le suivant :

- tant que $H = 1$, on a $Q = D$;
- si $H = 0$, il y a mémorisation du dernier état Q .

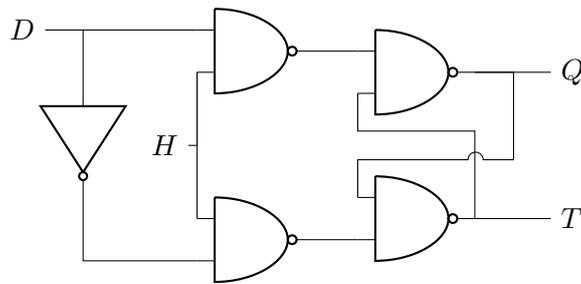
L'équation combinatoire du système dépend de trois variables et vaut

$$Q_+ = H \cdot D + \bar{H} \cdot Q_- .$$

1. Tracer le chronogramme représentant H , D et Q en fonction du temps.

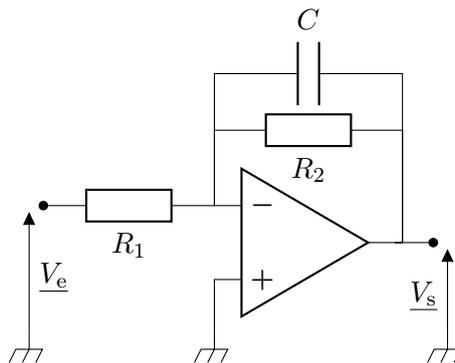
2. Montrer que cette relation combinatoire correspond bien au cahier des charges décrit dans l'énoncé.

On considère le circuit logique suivant.



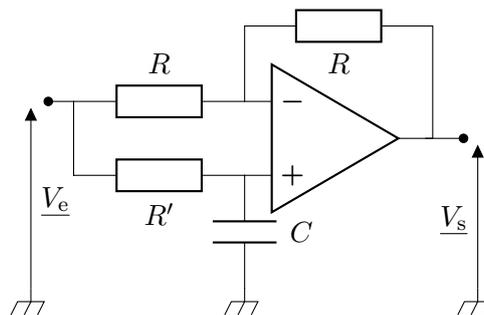
3. Vérifier que ce montage vérifie la relation combinatoire proposée.
4. Montrer que $T = \bar{Q}$ dans les conditions d'utilisation du système.

Exercice 4 - Le montage intégrateur :



1. Justifier que l'ALI fonctionne en régime linéaire.
2. Donner la fonction de transfert du montage.
3. Donner la relation, éventuellement sous forme d'une équation différentielle, entre le signal d'entrée $e(t)$ et celui de sortie $s(t)$.
4. Préciser l'intérêt du dispositif.

Exercice 5 - Le montage déphaseur :



1. Justifier que l'ALI fonctionne en régime linéaire.
2. Donner la fonction de transfert du montage.
3. Donner la relation, éventuellement sous forme d'une équation différentielle, entre le signal d'entrée $e(t)$ et celui de sortie $s(t)$.
4. Quel est l'effet du filtre sur l'amplitude du signal de sortie ?